

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-224804

(43)Date of publication of application : 17.08.1999

(51)Int.Cl.

H01C 7/04

H01C 7/02

(21)Application number : 10-023667

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 04.02.1998

(72)Inventor : KIMOTO HIDENOBU  
KAWASE MASAHICO  
TANIGUCHI IKUYA

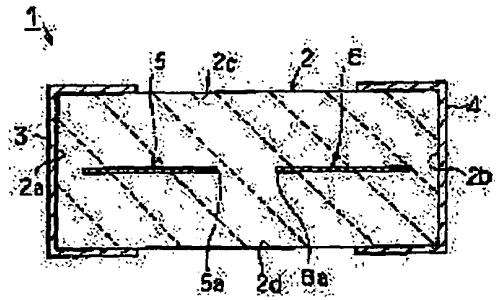
## (54) THERMISTOR ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a highly reliable thermistor element, into which an electrolyte hardly infiltrates in at the time of forming external electrodes and soldering flux hardly infiltrates in, when the element is mounted and the fluctuation of the resistance value and a constant B are small.

**SOLUTION:** First and second external electrodes 3 and 4 are formed, in such a way that the electrodes 3 and 4 cover the facing first and second and faces 2a and 2b of the elemental thermistor body 2 of a thermistor element 1 and first and second internal electrodes 5 and 6 are formed in the body 2, in such a way that the electrodes 5 and 6 are not connected to the external

electrodes 3 and 4 nor overlap each other in the thickness direction. Since the internal electrodes 5 and 6 are embedded in the elemental thermistor body 2 and not connected to the external electrodes 3 and 4, an electrolyte hardly gets in the body 2, even when at least part of the electrodes 3 and 4 is formed by plating and soldering flux hardly infiltrates in the body 2 when the element 1 is mounted. Therefore, the drop in reliability of the element 1 caused by the infiltration of the electrolyte or flux can be suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

特開平11-224804

(43) 公開日 平成11年(1999)8月17日

(51) Int. Cl. 6

H 0 1 C 7/04  
7/02

識別記号

F I

H 0 1 C 7/04  
7/02

審査請求 未請求 請求項の数6

O L

(全8頁)

(21) 出願番号

特願平10-23667

(22) 出願日

平成10年(1998)2月4日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡市天神二丁目26番10号

(72) 発明者 木本 英伸

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 川瀬 政彦

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 谷口 幾哉

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

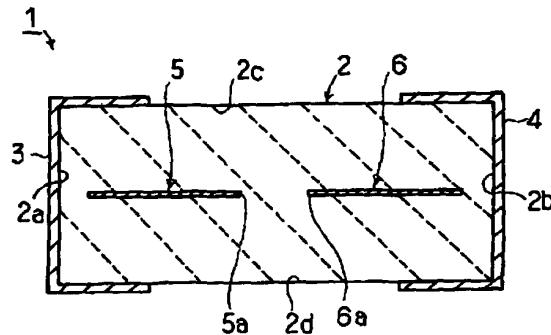
(74) 代理人 弁理士 宮▼崎▲ 主税 (外1名)

(54) 【発明の名称】 サーミスタ素子

(57) 【要約】

【課題】 外部電極形成に際しての電解液や実装時のフラックスの侵入が生じ難く、信頼性に優れており、かつ抵抗値やB定数のばらつきが小さいサーミスタ素子を得る。

【解決手段】 サーミスタ素体2の対向し合う第1、第2の端面2a、2bを覆うように第1、第2の外部電極3、4を形成してなり、サーミスタ素体2内に、第1、第2の外部電極3、4と接続されないように、かつ互いに厚み方向に重なり合わないように第1、第2の内部電極5、6を形成してなるサーミスタ素子。



## 【特許請求の範囲】

【請求項1】 対向し合う第1、第2の端面を有するサーミスタ素体と、

前記サーミスタ素体の第1、第2の端面にそれぞれ形成された第1、第2の外部電極と、  
前記サーミスタ素体内に埋設されており、かつ第1、第2の外部電極と接合されていない第1、第2の内部電極とを備え、

前記第1、第2の内部電極がサーミスタ素体内において厚み方向に重なり合わないように配置されていることを特徴とする、サーミスタ素子。

【請求項2】 第1の内部電極が第1の外部電極に近い側に、第2の内部電極が第2の外部電極に近い側に配置されており、第1の外部電極及び第1の内部電極間、第1、第2の内部電極間並びに第2の内部電極及び第2の外部電極間において、それぞれ抵抗値取出し部が構成されていることを特徴とする、請求項1に記載のサーミスタ素子。

【請求項3】 前記第1、第2の内部電極がサーミスタ素体の同一平面上に配置されている、請求項1または2に記載のサーミスタ素子。

【請求項4】 前記第1、第2の内部電極がサーミスタ素体の異なる高さ位置に形成されている、請求項1または2に記載のサーミスタ素子。

【請求項5】 前記第1、第2の内部電極と厚み方向に重なり合わないように、かつ第1、第2の内部電極間に配置された少なくとも1つの第3の内部電極をさらに備えることを特徴とする、請求項1～4のいずれかに記載のサーミスタ素子。

【請求項6】 前記第1、第2の内部電極からなる抵抗値取出し部が、前記サーミスタ素体内において厚み方向に複数形成されていることを特徴とする、請求項1～5のいずれかに記載のサーミスタ素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば温度検出素子や温度補償素子として用いられるサーミスタ素子に関し、より詳細には、サーミスタ素体内に内部電極を有し、該内部電極構造が改良されたサーミスタ素子に関する。

## 【0002】

【従来の技術】 従来、半導体セラミックスを用いたチップ型サーミスタ素子が、温度検出や温度補償などの様々な用途に用いられている。例えば、特開平4-130702号公報には、図7に示すチップ型サーミスタ51が開示されている。ここでは、サーミスタ素体52の端面52a、52bに、それぞれ、外部電極53、54が形成されている。また、サーミスタ素体52内においては、同一平面上において、先端間が所定距離を隔てて対向するように配置された第1、第2の内部電極55、56が形成され

10 6が形成されている。内部電極55は端面52aに引き出されており、外部電極53に接合されている。また、内部電極56は、端面52bに引き出されており、外部電極54に接合されている。

【0003】 他方、特開平5-243007号公報には、図8に示すチップ型サーミスタ素子61が開示されている。チップ型サーミスタ素子61では、サーミスタ素体62の端面62a、62b上に、それぞれ、外部電極63、64が形成されている。また、サーミスタ素体62内においては、同一平面上において、内部電極65、66が先端間が所定距離を隔てて配置されるように設けられている。内部電極65は端面62aに引き出されており、外部電極63に接合されている。内部電極66は、端面62bに引き出されており、外部電極64に接合されている。さらに、非接続型内部電極67がサーミスタ素体層を介して内部電極65、66に厚み方向に重なり合うように配置されている。

【0004】 チップ型サーミスタ素子51、61を製造するにあたり、外部電極53、54、63、64は、通常、焼付銀と湿式メッキにより形成されている。ところが、内部電極55、56、65、66が、端面52a、52b、62a、62bに引き出されているため、外部電極形成に際し、電解液が端面52a、52b、62a、62bから内部電極面に沿ってサーミスタ素体52、62内に侵入し、信頼性を低下させることがあった。

【0005】 また、チップ型サーミスタ素子51、61を半田付け等によりプリント回路基板などに実装する際ににおいても、フラックスが端面52a、52b、62a、62bから内部電極面に沿ってサーミスタ素体52、62内に侵入し、信頼性を低下させるおそれがあった。

【0006】 加えて、内部電極55、56、65、66が端面52a、52b、62a、62bに露出しているため、内部電極の厚みや幅によっては、焼成に際し、デラミネーションと称されている層間剥がれが内部電極面とサーミスタ素体52、62を構成しているセラミック層との間に生じることがあった。また、内部電極を構成している貴金属が、マイグレーションを引き起こしたり、焼成過程において拡散し、サーミスタ素体52、62の一部に特性の異なる層を発生させることもあった。

【0007】 他方、上述した問題を解決する構造が、特開平4-261001号公報に開示されている。この先行技術に記載のチップ型サーミスタ素子を、図9に断面図で示す。

【0008】 チップ型サーミスタ素子71では、半導体セラミックスよりなるサーミスタ素体72の端面72a、72bに、それぞれ、外部電極73、74が形成されている。サーミスタ素体72内には、非接続型の内部電極75、76がサーミスタ素体層72cを介して厚み

方向に重なり合うように配置されている。

【0009】すなわち、チップ型サーミスタ素子71では、内部電極75、76が端面72a、72bに引き出されておらず、サーミスタ素体72内に埋設されている。従って、上述した電解液やフラックスの侵入、デラミネーションの発生等の問題を解消することができる。

#### 【0010】

【発明が解決しようとする課題】チップ型サーミスタ素子においては、上述した種々の問題を解消し得るだけでなく、抵抗値やB定数のばらつきの小さいことが強く求められている。

【0011】他方、チップ型サーミスタ素子71は、周知のセラミック積層一体焼成技術を用いて構成されている。すなわち、製造に際しては、先ずマザーの半導体セラミックグリーンシートを複数枚用意し、内部電極75がマトリックス状に複数形成されたマザーのセラミックグリーンシートと、内部電極76がマトリックス状に複数形成されたマザーのセラミックグリーンシートと、適宜の枚数の無地のマザーのセラミックグリーンシートとを積層し、厚み方向に加圧することによりマザーの積層体を得る。このマザーの積層体を厚み方向に切断し、個々のチップ型サーミスタ素子単位の積層体チップを得、かかる後焼成し、サーミスタ素体72を得ている。

【0012】他方、チップ型サーミスタ素子71において外部電極73、74間で取り出される抵抗値は、外部電極73と内部電極75、76との間、並びに内部電極75、76と外部電極74との間の各抵抗値で決定される。

【0013】ところが、チップ型サーミスタ素子71を得るにあたり、マザーの積層体から個々の積層体チップを切断する際の寸法ばらつきにより、外部電極73と、内部電極75、76間の距離、並びに内部電極75、76と外部電極74との間の距離がばらつき、チップ型サーミスタ素子71の抵抗値やB定数のばらつきが大きくなり、歩留りが低下するという問題があった。

【0014】本発明の目的は、電解液などの侵入やデラミネーションの発生等に起因する信頼性の低下が生じ難いだけでなく、抵抗値やB定数のばらつきが非常に小さいサーミスタ素子を提供することにある。

#### 【0015】

【課題を解決するための手段】請求項1に記載の発明に係るサーミスタ素子は、対向し合う第1、第2の端面を有するサーミスタ素体と、前記サーミスタ素体の第1、第2の端面にそれぞれ形成された第1、第2の外部電極と、前記サーミスタ素体内に埋設されており、かつ第1、第2の外部電極と接合されていない第1、第2の内部電極とを備え、前記第1、第2の内部電極がサーミスタ素体内において厚み方向に重なり合わないように配置されていることを特徴とする。

#### 【0016】

また、請求項2に記載の発明に係るサーミ

スタ素子では、第1の内部電極が第1の外部電極に近い側に、第2の内部電極が第2の外部電極に近い側に配置されており、第1の外部電極及び第1の内部電極間、第1、第2の内部電極間並びに第2の内部電極及び第2の外部電極間において、それぞれ抵抗値取出し部が構成されている。

【0017】請求項3に記載の発明では、前記第1、第2の内部電極がサーミスタ素体内の同一平面上に配置されている。請求項4に記載の発明では、前記第1、第2の内部電極がサーミスタ素体内の異なる高さ位置に形成されている。

【0018】請求項5に記載の発明では、前記第1、第2の内部電極と厚み方向に重なり合わないように、かつ第1、第2の内部電極間に配置された少なくとも1つの第3の内部電極がさらに備えられる。請求項6に記載の発明では、前記第1、第2の内部電極からなる抵抗値取出し部が、前記サーミスタ素体内において厚み方向に複数形成されている。

#### 【0019】

【発明の実施の形態】以下、本発明の非限定的な実施例を説明することにより、本発明を明らかにする。

【0020】図1は、本発明の第1の実施例に係るチップ型サーミスタを説明するための正面断面図であり、図2はその平面断面図である。チップ型サーミスタ素子1は、矩形板状のサーミスタ素体2を用いて構成されている。サーミスタ素体2は、正特性または負特性サーミスタとしての特性を発揮し得る適宜の半導体セラミックスにより構成することができる。サーミスタ素体2は、対向し合う第1、第2の端面2a、2bを有する。

【0021】端面2aを覆うように第1の外部電極3が、端面2bを覆うように第2の外部電極4が形成されている。第1、第2の外部電極3、4は、端面2aまたは2bを覆うだけでなく、サーミスタ素体2の端面2a、2bを結ぶ4つの面上にも至るように形成されている。すなわち、上面2c、下面2d及び側面2e、2fにも至るように形成されている。従って、プリント回路基板などに容易に表面実装することができる。

【0022】外部電極3、4は、Agなどの適宜の導電性材料により形成することができる。また、外部電極

3、4の形成は、導電ペーストの塗布・焼付、メッキ、蒸着、スペッタリングなどの適宜の方法により行うことができ、かつ各種方法で形成された導電膜を複数層積層することにより外部電極3、4を形成してもよい。

【0023】サーミスタ素体2内には、第1、第2の内部電極5、6が配置されている。第1、第2の内部電極5、6は、サーミスタ素体2内において同一平面上、すなわち同一高さ位置に配置されている。また、内部電極5、6はサーミスタ素体2内に埋設されており、サーミスタ素体2の外表面には露出していない。従って、内部電極5、6は、外部電極3、4に接合されていない。

【0024】また、第1の内部電極5が、第1の外部電極3に近い側に、第2の内部電極6が第2の外部電極4に近い側に配置されており、第1、第2の内部電極5、6の内側端5a、6aが所定距離のギャップを隔てて配置されている。

【0025】なお、内部電極5、6を構成する材料については、Agの他、Ag-Pd合金、Pt、Ni、Cuなど適宜の金属あるいは合金を用いることができる。本実施例のチップ型サーミスタ素子1では、外部電極3、4間で取り出される抵抗値は、第1の外部電極3及び第1の内部電極5間、第1、第2の内部電極5、6間並びに第2の内部電極6及び第2の外部電極4間の各抵抗値取出し部により決定される。

【0026】本実施例によれば、内部電極5、6は、外部電極3、4に接続されておらず、サーミスタ素子2の外表面に露出していないため、外部電極形成工程において電解液がサーミスタ素子2内に侵入したり、実装時にフラックスがサーミスタ素子2内に侵入することができない。加えて、後述の製造方法で示すように、セラミック積層一体焼成技術を用いてサーミスタ素子2を得る場合、セラミック層のデラミネーションが生じ難く、内部電極構成材料である貴金属のマイグレーション等も生じ難い。

【0027】従って、信頼性を高めることができると共に、安定な特性を得ることができる。加えて、従来のチップ型サーミスタ素子51、61では、外部電極と内部電極とを確実に接合するためには、外部電極形成に先立ちサーミスタ素子52、62をバレル研磨し、内部電極を確実に端面に露出させる必要があったのに対し、本実施例のサーミスタ素子では、内部電極5、6を外部電極3、4と接合する必要がないため、このような煩雑なバレル研磨を省略することができる。

【0028】さらに、外部電極3、4間の抵抗値は、上述した3つの抵抗値取出し部の抵抗値により決定される。従って、マザーボードの積層体から個々のサーミスタ素子2に応じた積層体チップを切断する際の寸法ばらつきが生じたとしても、内部電極5、6の先端5a、6a間のギャップの距離は変動しない。従って、図9に示したサーミスタ素子71に比べ抵抗値やB定数のばらつきを低減することができる。

【0029】さらに、上記3つの抵抗値取出し部を有するため、図9に示したチップ型サーミスタ素子71に比べ、耐電圧を高めることができる。すなわち、外部電極のサーミスタ素子の上面、下面及び両側面に至っている部分の長さが変化した場合、図9に示したチップ型サーミスタ素子71では、抵抗値が大きく変化するのに対し、本実施例のチップ型サーミスタ素子1では、上記3個の抵抗値取出し部を有するため、抵抗値の変化が少なく、耐電圧が高められる。

【0030】また、上記のように外部電極3、4のサー

ミスタ素子2の上面2c、下面2d及び両側面2e、2fに至っている部分の長さの変化の影響が少ないため、品質の劣化が生じ難く、抵抗値変化率のばらつきも低減することができる。

【0031】図3及び図4は、本発明の第2の実施例に係るサーミスタ素子の正面断面図及び平面断面図である。第2の実施例に係るチップ型サーミスタ素子11では、非接続型の内部電極15、16がサーミスタ素子2内において異なる高さ位置に形成されている。その他の10点については、サーミスタ素子1と同様であるため、サーミスタ素子1についての説明を援用することにより省略する。

【0032】サーミスタ素子11では、第1の内部電極15と第2の内部電極16がサーミスタ素子2内に埋設されているが、上述したとおり、異なる高さ位置に形成されている。すなわち、本発明においては、第1、第2の内部電極は、同一平面上に形成されていてもよく、異なる高さ位置に形成されていてもよい。

【0033】サーミスタ素子11においては、異なる高20さ位置に内部電極15、16が形成されていることを除いては、第1の実施例のサーミスタ素子1と同様に構成されているので、第1の実施例に係るサーミスタ素子1と同様の作用効果を発揮する。

【0034】加えて、第2の実施例では、内部電極15、16の先端15a、15b間の距離については、両者の水平方向の距離だけでなく、厚み方向の距離をも調節することにより調節することができ、従ってより微妙に抵抗値を制御することができる。特に、後述の製造方法の説明のように、サーミスタ素子2を積層セラミック30一体焼成技術を用いて得る場合、セラミックグリーンシートの積層数を調整することにより、内部電極15、16間の距離を容易に調整することができる。

【0035】また、図5及び図6は、それぞれ、本発明に係るサーミスタ素子の変形例を説明するための各正面断面図である。図5に示すチップ型サーミスタ素子21では、サーミスタ素子2内において、第1、第2の内部電極5、6に加えて、第1、第2の内部電極5、6間に第3の内部電極27が形成されている。第3の内部電極27は、第1、第2の内部電極5、6と同一平面上において、第1、第2の内部電極5、6の先端5a、6a間に形成されている。

【0036】このように、第1、第2の内部電極5、6間に、少なくとも1つの第3の内部電極27を形成してもよい。また、第3の内部電極27を、第1、第2の内部電極5、6と異なる高さ位置において、第1、第2の内部電極5、6とは厚み方向に重なり合わないように配置してもよい。

【0037】さらに、図3に示したサーミスタ素子11においても、第1、第2の内部電極15、16間において、これらに厚み方向に重なり合わないように少なくと

も1つの第3の内部電極を配置してもよい。

【0038】図6に示すチップ型サーミスタ素子31では、サーミスタ素体2内において、第1、第2の内部電極5、6からなる抵抗値取出し部が、厚み方向において複数形成されている。すなわち、チップ型サーミスタ素子31は、チップ型サーミスタ素子1における内部電極5、6からなる抵抗値取出し部を複数形成したものに相当する。

【0039】このように、本発明においては、第1、第2の内部電極からなる抵抗値取出し部は、サーミスタ素体2内において、複数形成されてもよい。従って、図3に示したチップ型サーミスタ素子11における内部電極15、16からなる抵抗値取出し部を、サーミスタ素体2内において複数設けてよい。

【0040】(具体的な実験例)次に、第1、第2の実施例に係るチップ型サーミスタ素子1、11についての具体的な実験例を製造方法と共に説明することとする。

【0041】Mn、Ni、Co、Cu、Feなどの酸化物からなる半導体セラミック材料に有機バインダーを加えてなるスラリーを用い、厚み50μmのセラミックグリーンシートを形成した。このセラミックグリーンシートを矩形形状に打抜き、該セラミックグリーンシート上に内部電極5、6に相当する形状となるように、Agペーストをマトリックス状に複数形成し、電極を形成していない無地のセラミックグリーンシートを上下に適宜の枚数積層し、マザーのセラミック積層体を得た。このマザーの積層体を、厚み方向に、例えば2t/cm<sup>2</sup>程度の圧力で加圧し、しかる後、厚み方向に切断することにより、図1に示したサーミスタ素体2を得るための個々の積層体チップを得た。

【0042】上記積層体チップを1000~1300°C程度の温度で数時間焼成し、サーミスタ素体2を得た。得られたサーミスタ素体2の寸法は長さ2.0mm×幅1.2mm×厚み1.9mmであった。

【0043】上記のようにして得たサーミスタ素体2の端面2a、2b上に、Agペーストを塗布し、焼き付けた後、Ni及びSnを順次電解メッキすることにより外部電極3、4を形成した。この場合、電解メッキを行う前及びメッキ層を形成した後に、それぞれ、25°Cにおける抵抗値R<sub>25</sub>、該抵抗値のばらつきR<sub>acv</sub>、25°Cに

おけるB定数B<sub>25/50</sub>及び該B定数のばらつきB<sub>3cv</sub>を測定した。結果を下記の表1に示す。

【0044】また、上記メッキ前及びメッキ後のサーミスタ素子につき、①高温放置試験、②湿中放置試験、③低温放置試験、④ヒートサイクル試験及び⑤湿中通電試験を以下の要領で行った。これらの評価結果についても、下記の表1に示す。

【0045】①高温放置試験…サーミスタ素子を125°Cの温度で5000時間放置し、放置後の抵抗値の放置前の抵抗値に対する変化率を測定した。

②湿中放置試験…60°C及び相対湿度95%の環境にサーミスタ素子を5000時間放置し、放置後の抵抗値の放置前の抵抗値に対する変化率を測定した。

【0046】③低温放置試験…サーミスタ素子を-40°Cの温度で5000時間放置し、放置後の抵抗値の放置前の抵抗値に対する変化率を測定した。

④ヒートサイクル試験…サーミスタ素子を、125°Cの温度に加熱し、しかる後-40°Cの温度まで冷却し、再度125°Cに加熱する工程を1サイクルとし、該工程を100サイクル実施した後の抵抗値の試験前の抵抗値に対する変化率を測定した。

【0047】⑤湿中通電試験…サーミスタ素子に、60°C及び相対湿度95%の下において、10mAの電流を通電し、5000時間経過した後の抵抗値の試験前の抵抗値に対する変化率を測定した。

【0048】また、図3に示した第2の実施例に係るチップ型サーミスタ素子11についても、上記第1の実施例に係るチップ型サーミスタ素子1と同様にして、但し、第1、第2の内部電極15、16の形成されている高さ位置を0.3mm異ならせたことを除いては、同様にして作製し、サーミスタ素子1と同様にして評価した。結果を下記の表1に示す。

【0049】また、比較のために、図7に示したチップ型サーミスタ51を、第1、第2の内部電極55、56を外部電極に接合するように構成したことを除いては、サーミスタ素子1と同様にして作製し、評価した。結果を下記の表1に示す。

【0050】

【表1】

	従来例		第1の実施例		第2の実施例	
	メッキ前	メッキ後	メッキ前	メッキ後	メッキ前	メッキ後
$R_{25}$ (kΩ)	10.0	10.65	10.0	10.5	10.0	10.4
$R_{scv}$ (%)	6.0	6.2	5.1	5.1	5.5	5.5
$B_{25/50}$ (k)	3380	3381	3380	3380	3380	3381
$B_{scv}$ (%)	0.25	0.28	0.22	0.22	0.20	0.19
信頼性 $\Delta R$ (%)	①高温放置	0.51	0.72	0.35	0.35	0.32
	②湿中放置	0.35	0.38	0.10	0.11	0.11
	③低温放置	0.05	0.06	0.03	0.03	0.02
	④ヒートサイクル	0.10	0.19	0.07	0.07	0.05
	⑤湿中通電	0.39	1.36	0.25	0.27	0.20

【0051】表1から明らかなように、従来例では、メッキ後に、抵抗値のばらつき  $R_{scv}$  及びB定数のばらつき  $B_{scv}$  が大きくなっているのに対し、第1、第2の実施例に係るチップ型サーミスタ素子1, 11では、これらのばらつきが増加しないことがわかる。

【0052】また、従来例のチップ型サーミスタ素子5 1では、高温放置試験、湿中放置試験、低温放置試験、ヒートサイクル試験及び湿中通電試験等において、メッキ前のサーミスタ素子に比べてメッキ後のサーミスタ素子の抵抗値の変化率が大きくなるにに対し、第1、第2の実施例に係るチップ型サーミスタ素子1, 11では、これらの試験を施した後でも抵抗値の変化率の増加が著しく少ないことがわかる。

### 【0053】

【発明の効果】請求項1に記載の発明に係るサーミスタ素子では、第1、第2の内部電極がサーミスタ素体内に埋設されており、第1、第2の外部電極と接合されていないので、外部電極の少なくとも一部をメッキにより形成した場合であっても、電解液がサーミスタ素体内に侵入し難く、また実装時に半田フランクスがサーミスタ素体内に侵入し難い。従って、電解液やフランクスの侵入に起因する信頼性の低下を抑制することができる。加えて、内部電極がサーミスタ素体2の外表面に露出していないため、内部電極の厚みや幅を大きくした場合であっても、サーミスタ素体におけるデラミネーションを効果的に抑制することができる。

【0054】加えて、第1、第2の内部電極を第1、第2の外部電極に接合する必要がないため、バレル研磨等の煩雑な内部電極露出のための作業を省略することができ、サーミスタ素子の生産性を高め得る。

【0055】従って、信頼性に優れ、抵抗値やB定数のばらつきが小さいサーミスタ素子を安価にかつ安定に提供することが可能となる。請求項2に記載の発明では、第1の内部電極が第1の外部電極に近い側に、第2の内部電極が第2の外部電極に近い側に配置されており、第

1の外部電極及び第1の内部電極間、第1、第2の内部電極間並びに第2の内部電極及び第2の外部電極間において、それぞれ抵抗値取出し部が構成されていることになるため、従来の非接続型内部電極を用いたチップ型サーミスタ素子に比べ、外部電極のサーミスタ素体の上面、下面及び側面への被り深さが変化した場合であっても、抵抗値の変化が少なく、従って耐電圧を高めることができると共に、抵抗値のばらつきを低減することができる。

【0056】請求項3に記載の発明では、第1、第2の内部電極がサーミスタ素体内において、同一平面上に配置されているので、積層セラミック一体焼成技術を用いてサーミスタ素体を形成する場合、一枚のセラミックグリーンシート上にのみ内部電極を形成すればよく、製造工程の簡略化を果たし得る。

【0057】請求項4に記載の発明では、第1、第2の内部電極がサーミスタ素体内の異なる高さ位置に形成されているので、第1、第2の内部電極の高さを調整することによっても抵抗値を制御することができ、様々な抵抗値を有するサーミスタ素子を容易に提供することができる。

【0058】請求項5に記載の発明では、第1、第2の内部電極間に少なくとも1つの第3の内部電極がさらに配置されているので、様々な抵抗値を有し、かつ外部電極のサーミスタ素体の上面、下面及び両側面への被り深さの変動に起因する抵抗値のばらつきをより効果的に抑制することができる。

【0059】請求項6に記載の発明では、第1、第2の内部電極からなる抵抗値取出し部が、サーミスタ素体内において厚み方向に複数形成されているので、より一層様々な抵抗値を有するサーミスタ素子を容易に提供することができる。

### 【図面の簡単な説明】

【図1】第1の実施例に係るサーミスタ素子を説明するための正面断面図。

【図2】第1の実施例に係るチップ型サーミスタ素子の平面断面図。

【図3】第2の実施例に係るサーミスタ素子を説明するための正面断面図。

【図4】第2の実施例に係るチップ型サーミスタ素子の平面断面図。

【図5】本発明のサーミスタ素子の変形例を説明するための正面断面図。

【図6】本発明に係るサーミスタ素子のさらに他の変形例を示す正面断面図。

【図7】従来のチップ型サーミスタ素子の一例を示す正面断面図。

【図8】従来のチップ型サーミスタ素子の他の例を説明するための正面断面図。

【図9】従来のチップ型サーミスタ素子のさらに他の例を示す正面断面図。

【符号の説明】

1…サーミスタ素子

2…サーミスタ素体

2a, 2b…第1, 第2の端面

3, 4…第1, 第2の外部電極

5, 6…第1, 第2の内部電極

11…サーミスタ素子

10 15, 16…第1, 第2の内部電極

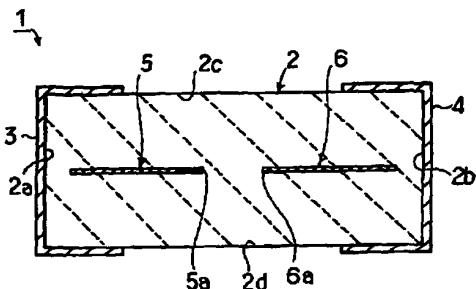
21…サーミスタ素子

25, 26…第1, 第2の内部電極

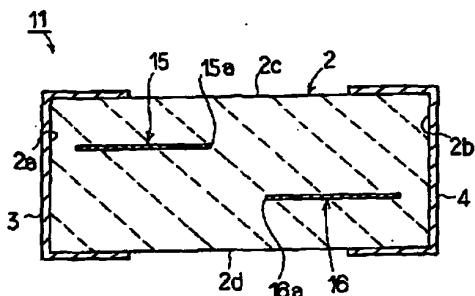
27…第3の内部電極

31…サーミスタ素子

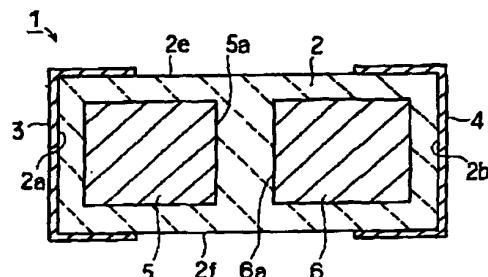
【図1】



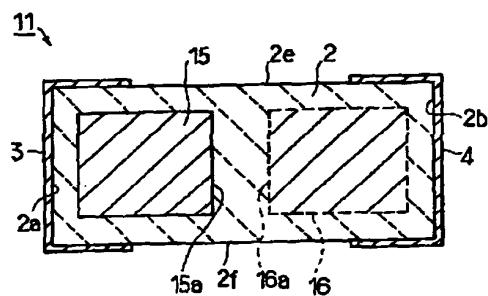
【図3】



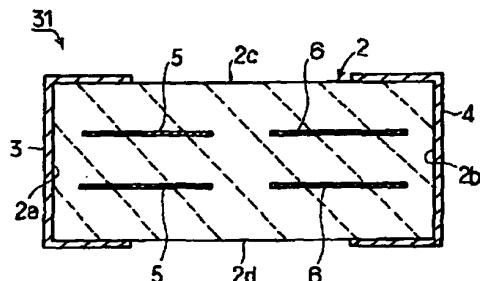
【図2】



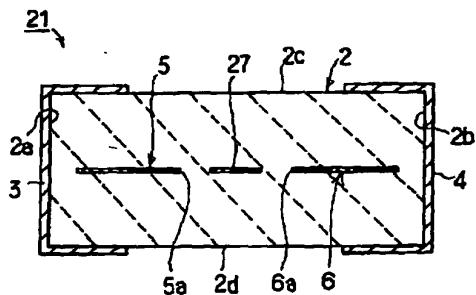
【図4】



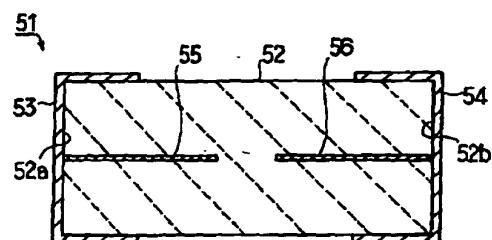
【図6】



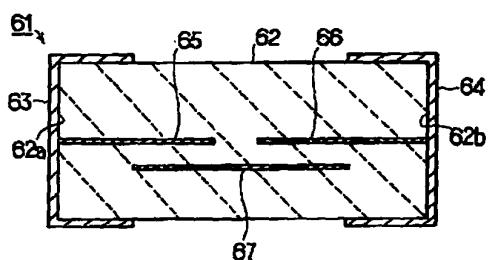
【図5】



【図7】



【図8】



【図9】

